

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-250381

(43)Date of publication of application : 14.09.2001

(51)Int.Cl.

G11C 11/407  
G11C 11/401  
G11C 29/00  
H01L 27/04  
H01L 21/822

(21)Application number : 2000-059707

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 06.03.2000

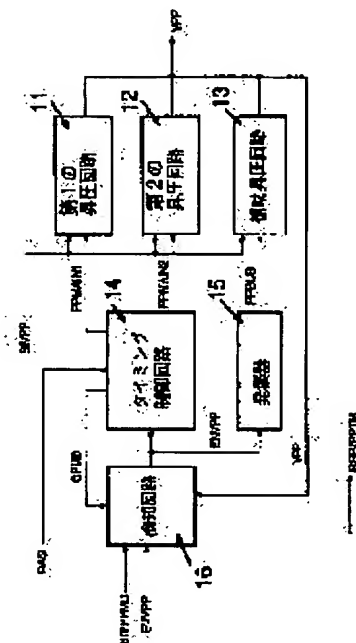
(72)Inventor : KONDO MASATAKA  
OTA KIYOTO  
FUJIMOTO TOMONORI  
SUMIMOTO YOSHIHIKO

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a boosting circuit configuration incorporated in a semiconductor integrated circuit in order to stabilize a boosting potential and efficiently perform a boosting operation.

**SOLUTION:** This circuit is provided with plural boosting circuits 11, 12 and a timing control circuit 14 dispersion-operating the boosting circuits 11, 12, reduction of a posting power source potential as consumption is suppressed by increasing the number of times of boosting operation per an operation cycle of a memory. Also, boosting operation can be performed in a time being coincident with consumption of a boosting power source potential and boosting operation can be performed efficiently.



## LEGAL STATUS

[Date of request for examination] 09.09.2002

[Date of sending the examiner's decision of rejection] 31.01.2006

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3835968

[Date of registration] 04.08.2006

[Number of appeal against examiner's decision of rejection] 2006-003725

[Date of requesting appeal against examiner's decision of rejection] 02.03.2006

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-250381

(P 2001-250381A)

(43) 公開日 平成13年9月14日(2001.9.14)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テマコード <sup>*</sup>		(参考)
G11C 11/407		G11C 29/00	671	F	5B024
11/401		11/34	354	F	5F038
29/00	671		371	A	5L106
H01L 27/04		H01L 27/04		G	
21/822					

審査請求 未請求 請求項の数14 ○L (全22頁)

(21) 出願番号	特願2000-59707 (P 2000-59707)	(71) 出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22) 出願日	平成12年 3 月 6 日 (2000. 3. 6)	(72) 発明者	近藤 昌貴 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
		(72) 発明者	大田 清人 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
		(74) 代理人	100068087 弁理士 森本 義弘

最終頁に続く

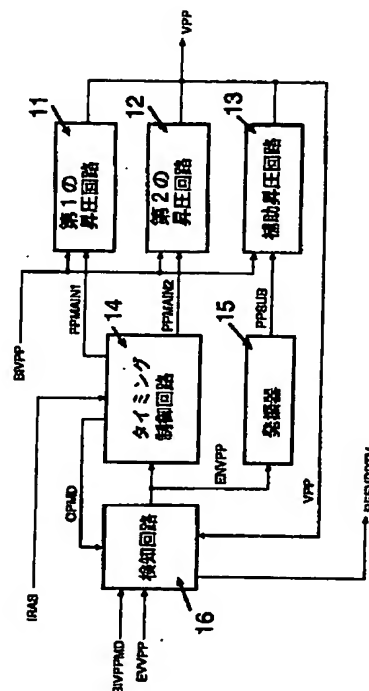
[最終頁に続く](#)

(54) 【発明の名称】半導体集積回路

(57) 【要約】

【課題】 半導体集積回路に内蔵され、昇圧電位の安定化と高効率化を目的とした昇圧回路構成を提供することを目的とする。

【解決手段】 複数の昇圧回路 11、12 と昇圧回路 11、12 を互いに分散動作させるタイミング制御回路 14 を備え、メモリの動作サイクルあたりの昇圧動作回数が増えることで消費に伴う昇圧電源電位の低下を抑制している。また、昇圧電源電位の消費に一致した時間で昇圧動作が行え効率よく昇圧動作が行える。



## 【特許請求の範囲】

【請求項 1】機能ブロックと前記機能ブロックで使用する昇圧電源回路とを内蔵した半導体集積回路において、前記昇圧電源回路は、

前記機能ブロックの動作を制御する信号に同期して動作する複数の昇圧回路と、

前記機能ブロックの動作を制御する信号を受けて上記複数の昇圧回路の制御信号を発生するタイミング制御回路とを有し、上記タイミング制御回路を、上記複数の昇圧回路を互いに分散動作させるよう構成した半導体集積回路。

【請求項 2】メモリブロックと前記メモリブロックで使用する昇圧電源回路とを内蔵した半導体集積回路において、前記昇圧電源回路は、

前記メモリブロックの動作を制御する信号に同期して動作する複数の昇圧回路と、

前記メモリブロックの動作を制御する信号を受けて上記複数の昇圧回路の制御信号を発生するタイミング制御回路とを有し、上記タイミング制御回路を、

メモリ活性化信号の活性化タイミングに対し、第一の遅延時間の後でかつ前記メモリ活性化信号の非活性へのタイミングで反転する第一の制御信号を生成し、上記第一の制御信号に対し第二の遅延時間の後に動作する第二の制御信号を生成し、以下同様にして、上記複数の昇圧回路を制御する複数の制御信号を生成し、上記複数の制御信号により、上記複数の昇圧回路の分散動作を行う半導体集積回路。

【請求項 3】メモリ活性化信号に同期して動作する複数の昇圧回路と、

メモリ活性化信号とは非同期に動作する上記昇圧回路より小さい電荷供給能力を有する補助昇圧回路と、

メモリ活性化信号を受けて上記複数の昇圧回路の制御信号を発生するタイミング制御回路と、

上記補助昇圧回路の自励発振を行う発振器と、

昇圧電源の電位を検知して上記タイミング制御回路および発振器の動作制御を行う検知回路とを設け、上記タイミング制御回路を上記複数の昇圧回路を分散動作させるよう構成するとともに、上記昇圧回路は、チャージポンプ回路と上記チャージポンプ回路の制御信号を発生する制御信号発生回路を備えており、

上記チャージポンプ回路は、電荷転送ゲートと、電源電圧をもとに上記電源電圧の 2 倍に昇圧するための第 1 の昇圧手段と、上記電源電圧と上記第 1 の昇圧電位をもとに上記電源電圧の 3 倍に昇圧するための第 2 の昇圧手段とを備えており、

上記電荷転送ゲートのソース電極が出力端子に、ドレイン電極が上記第 1 の昇圧電位に接続され、上記第 2 の昇圧電位を上記電荷転送ゲートのゲート電極に接続することで上記第 1 の昇圧電位が上記出力端子に供給可能である半導体集積回路。

【請求項 4】メモリ活性化信号に同期して動作する複数の昇圧回路と、

メモリ活性化信号とは非同期に動作する上記昇圧回路より小さい電荷供給能力を有する補助昇圧回路と、

メモリ活性化信号を受けて上記複数の昇圧回路の制御信号を発生するタイミング制御回路と、

上記補助昇圧回路の自励発振を行う発振器と、

昇圧電源の電位を検知して上記タイミング制御回路および発振器の動作制御を行う検知回路とを設け、上記タイミング制御回路を上記複数の昇圧回路を分散動作させるよう構成するとともに、上記昇圧回路は、チャージポンプ回路と上記チャージポンプ回路の制御信号を発生する制御信号発生回路を備えており、

上記チャージポンプ回路は、荷転送ゲートと、電源電圧をもとに上記電源電圧の 2 倍に昇圧するための第 1 の昇圧手段と、上記電源電圧と上記第 1 の昇圧電位をもとに上記電源電圧の 3 倍に昇圧するための第 2 の昇圧手段と、以下同様に上記電源電圧と電源電圧の  $(n-1)$  倍の昇圧電位をもとに上記電源電圧の  $n$  倍に昇圧するための第  $(n-1)$  の昇圧手段と、上記第  $(n-1)$  の昇圧電位と第 1 の昇圧電位をもとに上記電源電圧の  $(n+1)$  倍に昇圧された第  $n$  の昇圧手段を備えており、上記電荷転送ゲートのソース電極が出力端子に、ドレイン電極が上記第  $(n-1)$  の昇圧電位に接続され、上記第  $n$  の昇圧電位を上記電荷転送ゲートのゲート電極に接続することで上記第  $(n-1)$  の昇圧電位が上記出力端子に供給可能であることを特徴とする半導体集積回路。

【請求項 5】上記チャージポンプ回路は、上記チャージポンプ回路の昇圧倍数によらず、上記チャージポンプ回路を制御するための上記制御信号発生回路で生成される同一の制御信号を用いて制御することが可能であることを特徴とする請求項 4 記載の半導体集積回路。

【請求項 6】メモリ活性化信号に同期して動作する複数の昇圧回路と、

メモリ活性化信号とは非同期に動作する上記昇圧回路より小さい電荷供給能力を有する補助昇圧回路と、

メモリ活性化信号を受けて上記複数の昇圧回路の制御信号を発生するタイミング制御回路と、

上記補助昇圧回路の自励発振を行う発振器と、

昇圧電源の電位を検知して上記タイミング制御回路および発振器の動作制御を行う検知回路とを設け、上記タイミング制御回路を、上記複数の昇圧回路を分散動作させるよう構成するとともに、上記検知回路は、

昇圧電位を定電流動作で降圧する降圧回路と、カレントミラー回路により定電圧を発生する定電圧発生回路と、第 1 の比較手段とを備えており、上記定電圧発生回路より作られる参照電位と上記降圧回路の出力電位を、上記第 1 の比較手段で大小判定を行うよう構成した半導体集積回路。

【請求項 7】第 1 の比較手段は 3 個の差動増幅器によつ

て構成されており、

第一の差動増幅器の一方の入力に昇圧電圧を上記降圧回路で生成された降圧電位を、他方の入力に上記定電圧回路で生成される定電圧を、第二の差動増幅器の一方の入力に上記定電圧を、他方の入力に上記降圧回路で生成された上記降圧電位を入力し、さらに第三の差動増幅器の一方の入力として上記第一の差動増幅器の出力信号を、他方の入力として上記第二の差動増幅器の出力信号を用いることで微小な電圧変化を高速に検出可能であることを特徴とする請求項 6 記載の半導体集積回路。

【請求項 8】上記検知回路は、電圧測定端子と、第 2 の比較手段と、P チャネルトランジスタと N チャネルトランジスタを備えており、

上記第 2 の比較手段は、上記定電圧を上記第 2 の比較手段の一方の入力に、上記電圧測定端子を上記第 2 の比較手段の他方の入力に接続される構成をとるものであり、上記 P チャネルトランジスタのゲート電極は上記第 2 の比較手段の出力に、ドレイン電極は電源電位に、ソース電極は上記電圧測定端子に接続され、上記 N チャネルトランジスタのゲート電極は電源電位に、ドレイン電極は上記電圧測定端子に、ソース電極は接地電位に接続されたもので、上記定電圧回路から生成される上記定電圧と等しい電位を電圧測定端子に出力することで上記定電圧を測定可能であることを特徴とする請求項 6 記載の半導体集積回路。

【請求項 9】上記検知回路に備えられた上記降圧回路には、

電源電圧を昇圧電源電位に変換する電圧変換回路と、P チャネルトランジスタおよび N チャネルトランジスタで構成されるスイッチと、

上記スイッチがオン状態となった時だけ活性化する第二の降圧回路とを備えており、上記電圧変換回路を通して上記状態判定信号の反転信号の振幅を昇圧電源電位と等しくした電位を上記 P チャネルトランジスタスイッチのゲート電位に、上記 N チャネルトランジスタスイッチのゲート電位に上記状態判定信号を加えることで、状態判定信号により上記降圧回路に流れる出力電流を変えることにより高速に動作する機能を有することを特徴とする請求項 6 記載の半導体集積回路。

【請求項 10】上記比較手段は、それぞれの上記差動増幅器に、2 個の駆動トランジスタを含む差動増幅器を備えており、一方の駆動トランジスタのゲート電極には上記定電圧回路で生成される定電圧を、もう一方の駆動トランジスタのゲート電極には状態判定信号を加えることによって、状態判定信号により上記差動増幅器の応答速度を変えることによって動作速度を変化させる機能を有することを特徴とする請求項 6 記載の半導体集積回路。

【請求項 11】上記検知回路は、複数の検査モード制御信号を入力として備えており、上記検知回路の判定出力および上記複数の検査モード制御信号のうちの第一の検

査モード制御信号との論理和をとることで、昇圧電位によらず常時昇圧回路を動作させる検査モードを備えていることを特徴とする請求項 6 記載の半導体集積回路。

【請求項 12】上記検知回路は、上記複数の検査モード制御信号のうちの第二の検査モード制御信号によって上記第 2 の比較演算器を活性化することで、上記定電圧を上記電圧測定端子から測定する検査モードを備えていることを特徴とする請求項 6 記載の半導体集積回路。

【請求項 13】上記チャージポンプ回路を制御するための上記制御信号発生回路は、上記制御信号発生回路の入力信号と、上記複数の検査モード制御信号のうちの第三の検査モード制御信号の論理和の反転をとることで上記チャージポンプ回路を停止することを可能とする検査モードを備えていることを特徴とする請求項 3 記載の半導体集積回路。

【請求項 14】上記タイミング制御回路は、メモリが活性化状態あるいは非活性化状態にあることを判定する状態判定信号を生成し、上記状態判定信号は上記メモリ活性化信号の活性タイミングに応じて活性化し、かつメモリ活性化信号の非活性タイミングに所定の遅延時間の後非活性となることを特徴とする構成を有する請求項 9 または請求項 10 記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路により構成されるメモリ装置の技術分野に関するものであって、更に詳細には、メモリ装置の駆動に必要な昇圧電源回路に関するものである。

【0002】

【従来の技術】ダイナミック型メモリデバイスでは、マトリックス状に配置された記憶素子（メモリセル）へのデータアクセス方法として、ワード線に電位を与え、ビット線とメモリセルとの間でデータをやりとりすることで読み出し、書き込み動作を実現している。

【0003】一般的なダイナミック・ランダムアクセスメモリ（DRAM）のメモリセルアレイおよびセンスアンプ、ビット線プリチャージ回路を図 12 に示す。111 はメモリセルアレイ、112 はビット線対、113 はワード線、114 はビット線プリチャージ回路、115 はセンスアンプ、116 はシェアードゲートである。

【0004】メモリセルアレイ 111 は、メモリセルキャパシタ  $C_0$  一個あたりについて、アクセストランジスタ  $T_{WL}$  のソースにメモリセルキャパシタ  $C_0$  が、アクセストランジスタ  $T_{WL}$  のドレインにビット線 112 が、アクセストランジスタ  $T_{WL}$  のゲートにワード線 113 が接続されている。

【0005】DRAM はメモリセルキャパシタ  $C_0$  に電荷を蓄積することによってデータの記憶を行うが、DRAM の高集積化、大容量化と同時に、DRAM 動作電源電圧の低電圧化が進んでいる。

【0006】電源電圧の低電圧化に対して、メモリセルキャパシタ $C_0$ の蓄積電荷を十分に確保するためには、メモリセルキャパシタ $C_0$ にHレベル時には電源電位 $V_{DD}$ 、Lレベル時にはGND電位を与える方法が一般的に用いられている。従って、メモリセルキャパシタ $C_0$ に対し蓄積電荷の転送を行うアクセストランジスタ $T_{WL}$ のゲート電位にはDRAM電源電圧より高い電位に設定した昇圧電位( $V_{PP}$ )が必要となり、その電位としてはDRAM電源電圧を $V_{DD}$ 、トランジスタ $T_{WL}$ の閾値電圧を $V_T$ とした時に、 $V_{PP} \geq V_{DD} + V_T$ を確保する必要がある。

【0007】また電源電圧 $V_{DD}$ の低電圧化に対して、ビット線プリチャージ動作を行う際、ビット線電位をビット線プリチャージ電位 $V_{BP}$ ( $=V_{DD}/2$ )まで高速にプリチャージ動作を完了させるために、ビット線プリチャージ回路114の制御信号のHレベルを昇圧電位 $V_{PP}$ に設定している。

【0008】また、図12に示されるように、センスアンプ115の両側のメモリセルアレイ(111(L), 111(R))でセンスアンプ115を共有する構成がレイアウト面積を縮小する目的で一般的に用いられているが、この構成を実現するために用いられるシェアードゲート116も、メモリセルアレイ111とセンスアンプ115との間で、データ転送を高速かつ正確に行うために、ゲート電圧のHレベルとして昇圧電位 $V_{PP}$ を設定している。

【0009】このようにDRAMの安定した読み出し動作、書き込み動作を高速に実行するためには電源電圧 $V_{DD}$ に加えて、電源電圧よりも高い電位に設定した昇圧電位 $V_{PP}$ が必要である。この電位 $V_{PP}$ を実現するための一つの方法として、内部にチャージポンプ回路などを用いた昇圧回路を設け、電源電圧 $V_{DD}$ を高い電源電位 $V_{PP}$ に昇圧することで高い電源電位を得る方法が挙げられる。

【0010】従来の昇圧電源回路を図13に示す。117は昇圧回路、118は補助昇圧回路、119はタイミング制御回路、120は発振器、121は検知回路、122は過昇圧防止回路を示す。

【0011】昇圧回路117および補助昇圧回路118は、電荷転送により昇圧動作を行うチャージポンプ回路によって実現されている。また、昇圧回路117および補助昇圧回路118は出力が互いに並列接続されている。

【0012】補助昇圧回路118は、昇圧回路117に比べて電荷供給能力を小さく設定し消費電流を抑えることで、メモリがスタンバイ状態にある時などの昇圧電源電位 $V_{PP}$ を保証する目的で搭載したものである。

【0013】昇圧回路117はメモリが活性化している時には内部メモリ活性化信号 $I_{RAS}$ に同期して動作するが、補助昇圧回路118は、検知回路121により昇

圧電源電位 $V_{PP}$ を検出した結果によって発振器120による自励発振によりメモリ活性状態とは非同期に動作する。

【0014】過昇圧防止回路122は、特に電源電圧 $V_{DD}$ が高い時に、昇圧電位 $V_{PP}$ が一時的に過昇圧されることを防止する目的で備えられており、この回路によりデバイスの素子破壊の防止、および信頼性の確保を実現している。

【0015】ここで、DRAMの動作の概略のタイミングチャートを図14に示す。図14では、CLKはクロック入力信号、RASはロウアドレスストロブ入力信号、CASはカラムアドレスストロブ入力信号、WEは書き込み許可入力信号である。

【0016】この図14の例では3クロック周期で読み出しサイクル、書き込みサイクルを行っており、内部メモリ活性化信号 $I_{RAS}$ が立ち上がることでロウアドレスが決定するとほぼ同時にビット線のプリチャージが停止し、その後、選択されたロウアドレスに対応するワード線が活性化される。

【0017】ワード線が活性化されることで、メモリセルキャパシタに蓄積された電荷がビット線に転送され、ビット線電位がHデータが読み出される時にはビット線プリチャージ電位 $V_{BP}$ ( $=V_{DD}/2$ )より微小な電圧値だけ上昇し、Lデータが読み出される時にはビット線プリチャージ電位 $V_{BP}$ から微小な電圧値だけ降圧する。このビット線の電位の変化は、センスアンプ駆動信号 $S_E$ がHレベルとなるタイミングで、ビット線の電位をHレベルのときは $V_{DD}$ まで、Lレベルでは0Vまで増幅する。

【0018】3クロック目の立ち上りで $I_{RAS}$ が立ち下がり、ワード線が非活性化され、センスアンプ駆動信号 $S_E$ がLレベルとなる動作が行われた後、ビット線のプリチャージ動作が始まり、ビット線を $V_{BP}$ までプリチャージするという動作で一連の動作を終える。

【0019】昇圧電源回路で作られる昇圧電位 $V_{PP}$ が消費されるタイミングは、図14中に○印を用いて示しているように、ワード線が活性化されるタイミングおよびビット線プリチャージ信号、シェアードゲートが動作するタイミングにある。この信号は内部メモリ活性化信号 $I_{RAS}$ の立ち上りエッジおよび立ち下がりエッジにほぼ同期しているといえる。

【0020】以上の昇圧電位の消費に対して、昇圧回路の動作としては内部メモリ活性化信号 $I_{RAS}$ の立ち上りエッジのみで昇圧動作を行う、あるいは $I_{RAS}$ の立ち上りエッジと立ち下がりエッジの両エッジで昇圧動作を行う、という2通りの動作タイミングが適用可能である。

【0021】

【発明が解決しようとする課題】前述したように、メモリが活性化状態にある時の昇圧電源回路の動作タイミン

グとしては内部メモリ活性化信号IRASの立ち上がりエッジに同期して動作する、あるいはIRASの立ち上がり、立ち下がり両エッジに同期して動作するという2通りのタイミングが適用可能である。

【0022】前者の動作タイミングを採用した回路においてはワード線の活性化タイミングでは昇圧電位が一致するが、その一方でビット線プリチャージおよびシェードゲート活性化においては昇圧回路によるVPPへの電荷供給が行われないため、昇圧電位の低下が原因となってメモリの動作マージンを低下させる危険性がある。

【0023】一方、後者の昇圧タイミングを採用した回路においては、メモリの動作周波数が高くなるに従って、昇圧動作に必要な時間を確保することが難しくなり転送電荷量が不十分となり、昇圧回路の動作効率が悪化するという問題がある。

【0024】近年の半導体回路の微細化に伴って、DRAMのメモリ容量および動作スピードは両者ともに増加傾向があるために、従来の構成では昇圧電圧の安定化・平滑化および昇圧能力の確保、という点において問題点が挙げられる。

【0025】さらに、近年のDRAMの微細化、高集積化がもたらすメモリ容量の増大化に対し、昇圧電源を必要とするゲート数が増加するという理由から昇圧電源の能力が必要となってくる。また、メモリの動作速度も高速化の傾向があるために、単独のチャージポンプ回路を備える従来の構成の昇圧電源回路では昇圧電源の消費速度に昇圧動作が追い付けず、昇圧回路の効率が悪化するという問題が顕在化する可能性がある。

【0026】消費の増大が原因である昇圧電源電圧の変動に対応するには、平滑容量を増やすという対策が一例として挙げられるが、このことはチップサイズの増大を招き、コストの面でデメリットがある。

【0027】以上まとめると、従来の構成による昇圧電源回路が抱える問題点は以下になる。

(1) 昇圧回路が動作するタイミングと昇圧電圧が消費されるタイミングが一致しておらず適正でないために、電圧変動が大きくなり動作マージンが小さくなる可能性がある。

【0028】(2) メモリの容量が増大化、高速化する一方で、昇圧動作のために転送すべき電荷量が増えるため、単独のチャージポンプ回路では昇圧動作の高速化が難しくなることから、昇圧動作効率が低い状態で昇圧回路が動作することになる。状況によっては、目標とする昇圧電圧値に到達しない危険性がある。

【0029】そこで本発明は、従来の半導体集積回路に内蔵された昇圧電源回路が持つ欠点を解決することを目的とした新規の昇圧電源回路を内蔵した半導体集積回路を提供することを目的とする。

【0030】

【課題を解決するための手段】本発明の半導体集積回路

は、従来では1基のメインチャージポンプ回路で行っていた昇圧動作を、複数のメインチャージポンプ回路によって行い、昇圧動作を行う時間を分散させて、昇圧タイミングの最適化を図ることで電圧変動を低減させ、かつ高速化に対応させることを特徴とする。

【0031】本発明の請求項1記載の半導体集積回路は、機能ブロックと前記機能ブロックで使用する昇圧電源回路とを内蔵した半導体集積回路において、前記昇圧電源回路は、前記機能ブロックの動作を制御する信号に同期して動作する複数の昇圧回路と、前記機能ブロックの動作を制御する信号を受けて上記複数の昇圧回路の制御信号を発生するタイミング制御回路とを有し、上記タイミング制御回路を、上記複数の昇圧回路を互いに分散動作させるよう構成したことを特徴とする。

【0032】本発明の請求項2記載の半導体集積回路は、メモリブロックと前記メモリブロックで使用する昇圧電源回路とを内蔵した半導体集積回路において、前記昇圧電源回路は、前記メモリブロックの動作を制御する信号に同期して動作する複数の昇圧回路と、前記メモリブロックの動作を制御する信号を受けて上記複数の昇圧回路の制御信号を発生するタイミング制御回路とを有し、上記タイミング制御回路を、メモリ活性化信号の活性化タイミングに対し、第一の遅延時間の後でかつ前記メモリ活性化信号の非活性へのタイミングで反転する第一の制御信号を生成し、上記第一の制御信号に対し第二の遅延時間の後に動作する第二の制御信号を生成し、以下同様にして、上記複数の昇圧回路を制御する複数の制御信号を生成し、上記複数の制御信号により、上記複数の昇圧回路の分散動作を行うことを特徴とする。

【0033】本発明の請求項3記載の半導体集積回路は、メモリ活性化信号に同期して動作する複数の昇圧回路と、メモリ活性化信号とは非同期に動作する上記昇圧回路より小さい電荷供給能力を有する補助昇圧回路と、メモリ活性化信号を受けて上記複数の昇圧回路の制御信号を発生するタイミング制御回路と、上記補助昇圧回路の自励発振を行う発振器と、昇圧電源の電位を検知して上記タイミング制御回路および発振器の動作制御を行う検知回路とを設け、上記タイミング制御回路を上記複数の昇圧回路を分散動作させるよう構成するとともに、上記昇圧回路は、チャージポンプ回路と上記チャージポンプ回路の制御信号を発生する制御信号発生回路を備えており、上記チャージポンプ回路は、電荷転送ゲートと、電源電圧をもとに上記電源電圧の2倍に昇圧するための第1の昇圧手段と、上記電源電圧と上記第1の昇圧電位をもとに上記電源電圧の3倍に昇圧するための第2の昇圧手段とを備えており、上記電荷転送ゲートのソース電極が出力端子に、ドレイン電極が上記第1の昇圧電位に接続され、上記第2の昇圧電位を上記電荷転送ゲートのゲート電極に接続することで上記第1の昇圧電位が上記出力端子に供給可能であることを特徴とする。



【0034】本発明の請求項4記載の半導体集積回路は、メモリ活性化信号に同期して動作する複数の昇圧回路と、メモリ活性化信号とは非同期に動作する上記昇圧回路より小さい電荷供給能力を有する補助昇圧回路と、メモリ活性化信号を受けて上記複数の昇圧回路の制御信号を発生するタイミング制御回路と、上記補助昇圧回路の自励発振を行う発振器と、昇圧電源の電位を検知して上記タイミング制御回路および発振器の動作制御を行う検知回路とを設け、上記タイミング制御回路を上記複数の昇圧回路を分散動作させるよう構成するとともに、上記昇圧回路は、チャージポンプ回路と上記チャージポンプ回路の制御信号を発生する制御信号発生回路を備えており、上記チャージポンプ回路は、荷転送ゲートと、電源電圧をもとに上記電源電圧の2倍に昇圧するための第1の昇圧手段と、上記電源電圧と上記第1の昇圧電位をもとに上記電源電圧の3倍に昇圧するための第2の昇圧手段と、以下同様に上記電源電圧と電源電圧の $(n-1)$ 倍の昇圧電位をもとに上記電源電圧の $n$ 倍に昇圧するための第 $(n-1)$ の昇圧手段と、上記第 $(n-1)$ の昇圧電位と第1の昇圧電位をもとに上記電源電圧の $(n+1)$ 倍に昇圧された第 $n$ の昇圧手段を備えており、上記電荷転送ゲートのソース電極が出力端子に、ドレイン電極が上記第 $(n-1)$ の昇圧電位に接続され、上記第 $n$ の昇圧電位を上記電荷転送ゲートのゲート電極に接続することで上記第 $(n-1)$ の昇圧電位が上記出力端子に供給可能であることを特徴とする。

【0035】本発明の請求項5記載の半導体集積回路は、請求項4において、上記チャージポンプ回路は、上記チャージポンプ回路の昇圧倍数によらず、上記チャージポンプ回路を制御するための上記制御信号発生回路で生成される同一の制御信号を用いて制御することが可能であることを特徴とする。

【0036】本発明の請求項6記載の半導体集積回路は、メモリ活性化信号に同期して動作する複数の昇圧回路と、メモリ活性化信号とは非同期に動作する上記昇圧回路より小さい電荷供給能力を有する補助昇圧回路と、メモリ活性化信号を受けて上記複数の昇圧回路の制御信号を発生するタイミング制御回路と、上記補助昇圧回路の自励発振を行う発振器と、昇圧電源の電位を検知して上記タイミング制御回路および発振器の動作制御を行う検知回路とを設け、上記タイミング制御回路を、上記複数の昇圧回路を分散動作させるよう構成するとともに、上記検知回路は、昇圧電位を定電流動作で降圧する降圧回路と、カレントミラー回路により定電圧を発生する定電圧発生回路と、第1の比較手段とを備えており、上記定電圧発生回路より作られる参照電位と上記降圧回路の出力電位を、上記第1の比較手段で大小判定を行うよう構成したことを特徴とする。

【0037】本発明の請求項7記載の半導体集積回路は、請求項6において、第1の比較手段は3個の差動増

幅器によって構成されており、第一の差動増幅器の一方の入力に昇圧電圧を上記降圧回路で生成された降圧電位を、他方の入力に上記定電圧回路で生成される定電圧を、第二の差動増幅器の一方の入力に上記定電圧を、他方の入力に上記降圧回路で生成された上記降圧電位を入力し、さらに第三の差動増幅器の一方の入力として上記第一の差動増幅器の出力信号を、他方の入力として上記第二の差動増幅器の出力信号を用いることで微小な電圧変化を高速に検出可能であることを特徴とする。

【0038】本発明の請求項8記載の半導体集積回路は、請求項6において、上記検知回路は、電圧測定端子と、第2の比較手段と、PチャネルトランジスタとNチャネルトランジスタを備えており、上記第2の比較手段は、上記定電圧を上記第2の比較手段の一方の入力に、上記電圧測定端子を上記第2の比較手段の他方の入力に接続される構成をとるものであり、上記Pチャネルトランジスタのゲート電極は上記第2の比較手段の出力に、ドレイン電極は電源電位に、ソース電極は上記電圧測定端子に接続され、上記Nチャネルトランジスタのゲート電極は電源電位に、ドレイン電極は上記電圧測定端子に、ソース電極は接地電位に接続されたもので、上記定電圧回路から生成される上記定電圧と等しい電位を電圧測定端子に出力することで上記定電圧を測定可能であることを特徴とする。

【0039】本発明の請求項9記載の半導体集積回路は、請求項6において、上記検知回路に備えられた上記降圧回路には、電源電圧を昇圧電源電位に変換する電圧変換回路と、PチャネルトランジスタおよびNチャネルトランジスタで構成されるスイッチと、上記スイッチがオン状態となった時だけ活性化する第二の降圧回路とを備えており、上記電圧変換回路を通して上記状態判定信号の反転信号の振幅を昇圧電源電位と等しくした電位を上記Pチャネルトランジスタスイッチのゲート電位に、上記Nチャネルトランジスタスイッチのゲート電位に上記状態判定信号を加えることで、状態判定信号により上記降圧回路に流れる出力電流を変えることにより高速に動作する機能を有することを特徴とする。

【0040】本発明の請求項10記載の半導体集積回路は、請求項6において、上記比較手段は、2個の駆動トランジスタを含む差動増幅器を備えており、一方の駆動トランジスタのゲート電極には上記定電圧回路で生成される定電圧を、もう一方の駆動トランジスタのゲート電極には状態判定信号を加えることによって、状態判定信号により上記差動増幅器の応答速度を変えることによって動作速度を変化させる機能を有することを特徴とする。

【0041】本発明の請求項11記載の半導体集積回路は、請求項6において、上記検知回路は、複数の検査モード制御信号を入力として備えており、上記検知回路の判定出力および上記複数の検査モード制御信号のうちの

第一の検査モード制御信号との論理和をとることで、昇圧電位によらず常時昇圧回路を動作させる検査モードを備えていることを特徴とする。

【0042】本発明の請求項12記載の半導体集積回路は、請求項6において、上記検知回路は、上記複数の検査モード制御信号のうちの第二の検査モード制御信号によって上記第2の比較演算器を活性化することで、上記定電圧を上記電圧測定端子から測定する検査モードを備えていることを特徴とする。

【0043】本発明の請求項13記載の半導体集積回路は、請求項3において、上記チャージポンプ回路を制御するための上記制御信号発生回路は、上記制御信号発生回路の入力信号と、上記複数の検査モード制御信号のうちの第三の検査モード制御信号の論理和の反転をとることで上記チャージポンプ回路を停止することを可能とする検査モードを備えていることを特徴とする。

【0044】本発明の請求項14記載の半導体集積回路は、請求項9または請求項10において、上記タイミング制御回路は、メモリが活性化状態あるいは非活性化状態にあることを判定する状態判定信号を生成し、上記状態判定信号は上記メモリ活性化信号の活性タイミングに応じて活性化し、かつメモリ活性化信号の非活性タイミングに所定の遅延時間の後に非活性となるように構成したことを特徴とする。

【0045】

【発明の実施の形態】以下、本発明の半導体集積回路の各実施の形態を図1～図11に基づいて説明する。

【0046】図1は機能ブロックとしてのメモリブロックとこのメモリブロックで使用する昇圧電源回路とを内蔵した半導体集積回路における昇圧電源回路の構成を示す。具体的には、図12に示したメモリセルアレイおよびセンスアンプ部に使用される図13に示した従来の昇圧電源回路に代わって集積化される昇圧電源回路を示している。

【0047】図1において、11は第1の昇圧回路、12は第2の昇圧回路、13は補助昇圧回路、14はタイミング制御回路、15は発振器、16は検知回路である。第1の昇圧回路11と第2の昇圧回路12とは昇圧能力が等しいものであり、補助昇圧回路13は第1、第2の昇圧回路11、12よりも電荷供給能力を下げたものである。第1、第2の昇圧回路11、12、補助昇圧回路13は、それぞれチャージポンプ回路と、チャージポンプ回路を動作させるためにタイミング制御回路からの入力信号エッジの変化に対してタイミングを分散させるチャージポンプ回路の制御信号を生成するロジック回路で構成される。

【0048】このロジック回路の詳細は後述する。第1、第2の昇圧回路11、12は、メモリが動作している時のみ昇圧動作を行い、昇圧動作信号PPMAIN1およびPPMAIN2は、内部メモリ活性化信号IRA

Sによって生成されるため、これらの第1、第2の昇圧回路11、12は、内部メモリ活性化信号に同期して動作する。

【0049】補助昇圧回路13は、昇圧判定信号ENVPPがHレベルの時に動作する発振器15によって駆動され、メモリ活性化信号とは非同期に動作するために、メモリがスタンバイ状態にある時の昇圧電位VPPの保証が可能である。また、メモリが活性状態にある時には、内部制御信号OPMDがHレベルとなり、検知回路16の応答速度を上げることで過昇圧の防止を行っている。メモリがスタンバイ状態にある時にはOPMDがLレベルとなることで検知回路16をスタンバイ状態に切替え、消費電流を低減している。

【0050】図1の回路への入力信号は、内部メモリ活性化信号IRAS、動作モードを設定する3種の制御信号BIVPP、BIVPPMD、EVVPPである。回路から出力される信号は、昇圧電源電位VPP、内部電位を複写して外部から測定を可能としたREFVPTMである。

【0051】図1の回路の動作タイミングチャートを図2に示す。図2において、CLKはクロック入力、RASはロウアドレスストロープ入力信号である。また、図2では、検査モード設定信号であるBIVPP、BIVPPMD、EVVPPをすべてLレベルに設定している。また、検出回路16とタイミング制御回路14を相互に接続する信号ENVPPおよびOPMDは両者ともHレベルの状態にある場合を仮定している。ロウアドレスストロープ信号RASをクロックに同期させたものが、内部メモリ活性化信号IRASとして図1に示す昇圧電源回路の入力となる。

【0052】第1の昇圧回路11の動作信号PPMAIN1は、IRASの立ち上がりタイミングに対し遅延時間TD1の後に立ち上がり、IRASの立ち下がりタイミングと同期して立ち下がる。

【0053】第2の昇圧回路12の動作信号PPMAIN2は、IRASの立ち上がりタイミングに対し遅延時間(TD1+TD2)の後に立ち上がり、IRASの立ち下がりタイミングに対し遅延時間TD2の後に立ち下がる。これらの信号PPMAIN1、PPMAIN2の立ち上がり、立ち下がり両エッジでそれぞれ第1、第2の昇圧回路11、12のチャージポンプによる昇圧動作を行う。

【0054】以上の昇圧タイミングは、内部メモリ活性化信号IRASを遅延させる時間TD1、TD2を調整することで最適な値をとることができ、図2で示される例では、DRAMの動作クロックTCLKに対して、PPMAIN2の立ち下がりエッジをIRASの立ち上がりエッジに同期して動作させるには、遅延時間TD2がTCLKに等しい場合であり、この条件下での動作は第1の昇圧回路11がプリチャージ信号およびシェアード



ゲートが活性化される時間に合わせて昇圧動作を行い、第2の昇圧回路12はワード線の活性化が行われる時間に合わせて昇圧動作を行うというタイミングが実現される。

【0055】このように第1、第2の昇圧回路11、12はそれぞれPPMAIN1、PPMAIN2の立ち上がり、立ち下がり両エッジで駆動され、ワード線活性化のタイミングに合わせて昇圧動作を行う第2の昇圧回路12の動作が終了した後に、引き続き第1の昇圧回路11が昇圧動作を行うため、昇圧電源電圧VPPの電位低下を抑えることができる。

【0056】また、PPMAIN1およびPPMAIN2がLレベルである区間は(TD1+TCLK)で表されるから、

$$TD1 + TCLK = 3 \cdot TCLK$$

すなわち、

$$TD1 = TCLK / 2$$

とすることでPPMAIN1およびPPMAIN2のデューティ比を50%とすることが可能となり、この時にPPMAIN1およびPPMAIN2の立ち上がり、立ち下がり両エッジでの電荷転送量が等しくなるため、昇圧効率が最も高い状態を保つことができるといえる。

【0057】以下に昇圧電源回路を構成する各回路について、詳細動作の説明を行う。タイミング制御回路14を実現する回路例を図3に示す。タイミング制御回路14の内部ノードによりPPMAIN1およびPPMAIN2を生成する動作を示したタイミングチャートを図4に示す。

【0058】タイミング制御回路14の入力信号は、内部メモリ活性化信号IRASと昇圧回路動作判定信号ENVPPの2つである。信号ENVPPは検知回路16が昇圧電圧VPPを検知して充分昇圧されている時にはLレベルに、設定電圧まで昇圧されていない時にはHレベルになる。

【0059】タイミング制御回路14の出力信号は、第1の昇圧回路11の駆動を行うPPMAIN1、第2の昇圧回路12の駆動を行うPPMAIN2、メモリが動作している時にHレベルとなり検知回路の応答速度を上げる目的で用いられる制御信号OPMDである。

【0060】内部メモリ活性化信号IRASから縦列接続された遅延バッファによって各出力信号が作られる。17~26は遅延回路で、各遅延時間はTC1~TC10である。27、31は排他的論理和、28、32はD型フリップフロップ、29、33はマルチプレクサ、30、34、35はバッファである。

【0061】内部ノードDELAYAは信号IRASを遅延回路17で時間TC1だけ遅延させた信号であり、この信号とIRASの論理積をとることにより生成される信号PPEDGE1では、IRASの立ち上がりエッジから時間TC1だけ遅れ、IRASの立ち下がりエッジ

に同期した信号が得られる。

【0062】ENVPPがHレベルのときのみ、PPMAIN1のエッジを生成させる目的でPPEDGE1を遅延回路25を経由させて時間TC9だけ遅延させた信号と、PPEDGE1との論理的排他和をとることで、PPEDGEの変化エッジに同期したパルス幅TC9のパルスが内部ノードPPIMPLS1に生成される。

【0063】この信号をD型フリップフロップ28のクロック入力端子CKに入力し、ENVPPがLレベルの時にD型フリップフロップの出力Qが、ENVPPがHレベルの時にD型フリップフロップ28の出力NQが選択されるようにマルチプレクサ29を設置し、マルチプレクサ29の出力であるMUXOUT1をD型フリップフロップ28の入力端子Dに返す構成をとる。

【0064】この回路構成により、ENVPPがHレベルにある時のみD型フリップフロップ28はPPIMPLS1の立ち上がりエッジに応じて出力を反転するためD型フリップフロップ28の出力端子Qから得られる信号はENVPPがHレベルである時にはPPEDGE1と同じタイミングで変化する信号が、ENVPPがLレベルに変化した時には、ENVPPがHレベルであった時の出力レベルが保持される信号が得られる。このD型フリップフロップ28の出力端子から、バッファ30を経由してPPMAIN1を生成する。

【0065】同様に、PPMAIN2は、IRASを時間(TC1+TC2+TC3)だけ遅延させた内部ノードDELAYB、さらに前記DELAYBを時間(TC4+TC5)だけ遅延させたノードDELAYCの論理積をとった信号PPEDGE2を作り、遅延回路26と論理的排他和31によって、PPEDGE2のエッジ変化に同期したパルス幅TC10の信号PPIMPLS2を、D型フリップフロップ32とマルチプレクサ33を用いてENVPPがHレベルの時のみ変化する信号を作ることによって実現している。

【0066】ENVPPがHレベルである時、PPMAIN1とPPMAIN2は相似の信号で、それぞれの位相差は時間(TC1+TC2+TC3)である。メモリが動作モードにあるとき、検知回路の応答速度を変化させる制御信号OPMDの働きを、動作速度が遅いときを例に挙げて説明する。

【0067】メモリの動作速度が遅い時のOPMDのタイミングを示すタイミングチャートを図5に示す。OPMDは、下記の6つの信号から生成される。6つの信号とは、IRASと、IRASを時間(TC1+TC2)だけ遅延させた信号DELAYDと、DELAYDを時間(TC3+TC4)だけ遅延させた信号DELAYEと、さらに時間(TC5+TC6)だけ遅延させた信号DELAYFと、さらに時間TC7だけ遅延させた信号DELAYGと、さらに時間TC8だけ遅延させた信号DELAYHとであって、具体的には、IRAS、DE

LAYD, DELAYEで論理和の否定をとった信号と、DELAYF, DELAYG, DELAYHにより論理和の否定をとった信号とを、論理積の反転信号としてバッファ35を経由させた信号で生成される。

【0068】結果としてOPMDは、IRASの立ち上に同期し、IRASの立ち下がりエッジから時間TC1～TC8の総和をとった時間までHレベルとなる信号となる。つまり、IRASの立ち下がりから時間TC1～TC8の総和をとった時間で、メモリが非活性状態に入ったと判断してOPMDの出力がLレベルに変化する。

【0069】OPMDは高速な周波数で動作させている状況においては常時Hレベルを出力するが、クロック周波数が遅く、IRASがLレベルをとる区間がTC1～TC8までの総和時間よりも長い場合、すなわちDRAMの動作クロックがTC1～TC8までの総和以下の動作クロックでメモリを動かしている場合には、OPMDがHレベル、Lレベルと変化する。

【0070】補助昇圧回路13の動作周期を決定する発振器15の内部回路を図6に示す。発振器15は、リングオシレータ36で作られたパルスを縦列接続されたT型フリップフロップ37～39によって分周したものを、前記補助昇圧回路13の動作信号PPSUBとして出力する。

【0071】図6では、一例としてリングオシレータ36の周期を80nsに設定した場合、T型フリップフロップは3段あるため、補助昇圧回路13は640ns周期で動作することになる。

【0072】第1の昇圧回路11と第2の昇圧回路12はそれぞれ同等の昇圧能力を有しており、補助昇圧回路13は第1、第2の昇圧回路11、12に比べ昇圧能力は低く設定している。この昇圧能力は、チャージポンプ回路に備えられた容量の大小によって決められ、補助昇圧回路13に備えられた容量は第1、第2の昇圧回路11、12に比べ1/10程度に設定されている。

【0073】タイミング生成回路(図7参照)は、それぞれのチャージポンプ回路に接続される出力信号MG1, MG2, MG3, MG4の発生タイミングはいずれも共通であるが、チャージポンプ回路の容量へ電荷の転送を行う端子MG1およびMG2は、昇圧回路11、12と補助昇圧回路13の両方で容量値に応じて、電荷転送容量に接続される信号であるMG1およびMG2の出力バッファの能力を変えている。

【0074】図7にタイミング生成回路、図8にチャージポンプ回路、図9に昇圧回路の動作タイミングチャートを示す。タイミング生成回路の動作を、入力信号をPPMAIN、出力信号をMG1～MG4としてタイミングチャートと対応させて説明を行う。

【0075】PPMAINの立ち上がりエッジから遅延回路40によって時間TP1だけ遅延させた信号をPPDL

YAとし、PPDLYAをさらに遅延回路41によ

てTP2だけ遅延させた信号をPPDLYBとする。  
【0076】このPPDLYAとPPDLYBから論理和の反転NOR03を通じて出力される信号をMG3、論理積の反転NAND04を通じて出力される信号をMG2とすると、MG3がPPMAINから時間TP1遅延した、HレベルからLレベルへの立ち下がり信号、MG2がPPMAINから時間(TP1+TP2)だけ遅延した立ち下がり信号となる。通常の動作状態ではBIVPPはLレベルであり、論理和の反転NOR06は否定として動作するために、MG1はMG2の反転信号、つまりPPMAINから時間(TP1+TP2)だけ遅延した立ち上り信号となる。MG4はBIVPPが同様にLレベルであることからPPMAINの反転信号NPMAINとMG2を論理和OR05を通した信号MG2OR、MG2を遅延回路42によって時間TP3だけ遅延させた信号MG2DLY、Lレベルの固定信号BIVPPの3信号入力を論理和の反転NOR07を通して出力した信号となる。この時、MG4はPPMAINから(TP1+TP2+TP3)だけ遅延した立ち上り信号となる。

【0077】PPMAINの立ち下がりエッジによってタイミング生成回路で生成される信号は同様に、MG4がPPMAINの立ち下がり同期した立ち下がり信号、MG1が時間TP1だけ遅延した立ち下がり信号、MG2が時間TP1だけ遅れた立ち上り信号、MG3が時間(TP1+TP2)だけ遅延した立ち上り信号となる。

【0078】この昇圧電源回路によりVPPを作らず、外部からVPPを入力する検査モードでDRAM回路を動作させる必要がある場合、例えば、バーンイン検査などの加速試験の場合、加速性を上げるために外部からVPPを入力するモードを設定した場合に対応するために、タイミング発生回路にはVPP外部入力モード端子BIVPPを備えている。

【0079】BIVPPがHレベルにある場合は、BIVPPを一方の入力に持つ論理和の反転NOR01、NOR06、NOR07のそれぞれの出力がLレベルに固定されるため、MG1～MG4のすべての出力のエッジ変化は起こらない。従って、電荷の転送が行われないために、この状態では昇圧動作は行われない。

【0080】PPMAINの立ち上がりエッジで昇圧回路が動作する時、図8のチャージポンプ回路の内部ノードの電位は、図9に示すように電源電圧をVDDとした時に、G1Aが2・VDD、G1BがVDD、P1AがVDD、P1Bが2・VDD、G2AがVDD、G2Bが3・VDDとなる。また、ゲート電位とソース電位がともにVDDで等しい、トランジスタ50、51はこの時にはオフ状態となっている。

【0081】前述したように、PPMAINの立ち上りエッジから時間TP1だけ遅延したところでMG3がH

10

20

30

40

50

レベルからLレベルに変化する。この時、コンデンサ43の電荷移動が起こりG1Aの電位がVDDに低下する。同時に、レベルシフト54の出力もLレベルとなるため、コンデンサ48にも電荷移動が生じ、G2Bの電位もVDDとなり、その結果、トランジスタ52がオフ状態となり、P1BとVPPの経路が断たれる。

【0082】また、G1Aの電位低下に伴い、電荷転送ゲートとしてのトランジスタ49もオフ状態となり、P1Aが電位VDDを保ち、電流の経路がなくなるため、MG1がHレベルへと変化することに対して、2・VDDへの昇圧動作が起こることが可能な状態となる。

【0083】この状態から時間TP2だけ経過した時に、MG1がLレベルからHレベルに、MG2がHレベルからLレベルへと変化するが、この時に第1の昇圧手段としてのコンデンサ45および46で電荷の移動が起こることにより、P1Aの電位がVDDから2・VDDに上がり、P1Bの電位が2・VDDからVDDに落ちる。

【0084】P1Aの電位の上昇に伴って、レベルシフト53の最大振幅が2・VDDへと変化するが、この時点ではMG4はLレベルで変化していないため、G2Aの電位はこの時点ではVDDを保ったままである。MG4がLレベルからHレベルに変化した時に、第2の昇圧手段としてのコンデンサ47および48で電荷の移動が起こることにより、G1Bの電位が2・VDDに、G2Aの電位がVDDから3・VDDに変化する。この時にトランジスタ51がオン状態に変化し、P1Aの電位がVPPに供給され、VPPが2倍のVDDに昇圧される。

【0085】PPMAINが立ち下がることで昇圧回路が動作する場合では、図8の内部ノードの電位は図9に示すようにPPMAINの立ち上がりとは逆に、G1AがVDD、G1Bが2・VDD、P1Aが2・VDD、P1BがVDD、G2Aが3・VDD、G2BがVDDとなっており、トランジスタ49、52がオフ状態となっている。

【0086】PPMAINの立ち下がりエッジに同期して、まずMG4が立ち下がる。それに伴ってG1Bの電位がVDDに降下する。同時に、トランジスタ50がオフ状態に変化し、P1Bのレベルを上げる準備が整う。その後TP1だけ時間が経過した時MG1がHレベルからLレベルに、MG2がLレベルからHレベルに変化することによって第1の昇圧手段としてのコンデンサ45、46で電荷の移動が起こり、P1Aが2・VDDからVDDに、P1BがVDDから2・VDDに変化する。

【0087】更に時間TP2が経過した後MG3、P1Bの電位変化に伴ってレベルシフト54の出力レベルが2・VDDとなることから、第2の昇圧手段としてのコンデンサ47および48で電荷の移動が起こることによ

り、G2Bの電位が3・VDDとなり、トランジスタ52がオン状態になることからP1BからVPPへの経路ができるようになるためVPPの電位は2・VDDになる。この構成の回路では、負荷を考えなければ理論上VPPの最大昇圧電位は2・VDDとなることが示される。

【0088】以上述べたように、本発明で用いるチャージポンプ回路は、入力信号に対して立ち上りエッジ、立ち下がりエッジの両側で変化し、かつ昇圧される最大の電位が2・VDDとなることから、電源電圧VDDの低電圧化に対しても十分な昇圧マージンを持つことが可能である。

【0089】更に、この回路の構成の利点として容易に多段昇圧回路へと発展させることが容易であるという特徴を有する。図10に電源電圧の3倍昇圧を実現するために構成したチャージポンプ回路の例を示す。

【0090】コンデンサ67～70、トランジスタ71～76が3倍昇圧を実現するために追加した回路であり、この波線で囲まれている回路が、n倍昇圧を実現するために追加が必要な回路単位である。第nの昇圧手段は69、70で構成されている。

【0091】2倍昇圧回路と同じノード名を持つノードは2倍昇圧回路と同様のタイミングで、同じ値の電位をとるため、ここでは追加ノードの電位の動きについて述べる。

【0092】PPMAINの立ち上がりエッジを起点とする昇圧動作においては、MG3がHレベルからLレベルに下がるのを受けてG3Aが4・VDDから2・VDDへと降圧する。それに伴って、トランジスタ71がオフ状態となり、P2AとVPPの間の経路が遮断される。MG1およびMG2の変化に伴ってP2Aが3・VDDから2・VDDへ、P2Bが2・VBBから3・VBBへと変化する。MG4がLレベルからHレベルに変化する時に、G3Bが2・VBBから4・VBBに変化することでトランジスタ74がオン状態に変化し、VPPにP2Bの電位3・VDDが転送される。

【0093】PPMAINが立ち下がる時も左右の動きが対称で、MG3がLレベルからHレベルへと変化する時のタイミングでG3Aが4・VDDに変化するのを受けてP2Aの電位3・VDDがVPPに転送される。

【0094】以上に述べた応用例を一般化すると、トランジスタのソース電位が最大n・VDDで最小が(n-1)・VDDである箇所に同様な回路を積み重ねることによって、トランジスタのゲートに加えられる電圧を最大(n+1)・VDDに昇圧する回路構成上の機能から、出力端子VPPには最大n・VDDが転送される。

【0095】しかも、昇圧段数に関係なく、MG1～MG4の入力制御信号に加えられる電圧のタイミングは同じものを生成すればよいという利点も挙げられる。以下、昇圧された電圧を検知して、昇圧回路の動作を制御

している検知回路 16 を図 11 に基づいて説明する。

【0096】検知回路 16 は、回路を機能に分割すれば定電流源回路により定電圧を発生する定電圧発生回路 77、VPP を降圧する降圧回路 78、VPP を降圧した電位と参照電圧の比較を行い、基準電圧との大小を比較する第 1 の比較手段としての差動増幅回路 79、参照電圧を外部から測定することを実現するために設置した参照電圧測定回路 80、電源投入時に回路を安定点にするために設置したスタートアップ回路 81 から構成される。

【0097】検知回路 16 の入力昇圧電位 VPP、メモリ活性化信号が立ち上がっていてメモリが活性化状態にある時に H レベルとなる制御信号 OPMD、VPP の電位によらず常時 ENVPP を H レベルにし、昇圧回路を常時動作させるテストモードのための制御信号 BIVPPMD、定電圧発生回路 77 がつくる参照電圧を測定するために参照電圧測定回路 80 を動作させる制御信号 EVVPP である。

【0098】出力は、VPP の電位を基準電圧と比較した結果を出力し、昇圧回路の動作を決定する制御信号 ENVPP、参照電圧測定回路 80 の出力として参照電位を出力する REFVPP TM を有する。

【0099】定電圧発生回路 77 は、その機能を実現するためにカレントミラー回路を応用したものであり、抵抗 R14 を流れる電流が電源電圧依存性を持っているが、この電流は M3 と M1、M7 にそれぞれのトランジスタのサイズに比例した電流を流すことになる。結果として、M7 の電位が変化するために、トランジスタ T12 に流れる電流が変化して、M5 の電位が変化することになるが、それによってトランジスタ T3、T7 に流れる電流を変化させることになり、つりあう電流値を流すところで安定する。以上の理由により、この回路が発生する電流は電源電圧によらず一定となる。

【0100】M9 を流れる電流は、M7 に流れる電流をトランジスタ T6、T9 のサイズに比例した電流となるが、これをトランジスタ T10、T11 の持つオン抵抗によって一定の電圧がノード M9、M10 に発生させることができる。

【0101】降圧回路 78 は、メモリ素子がスタンバイモード、すなわち制御信号 OPMD が L レベルである時には、トランジスタ T15 のゲート端子に入力される一定の電圧 M10 によって、トランジスタ T15、T16 の電流経路に流れる電流が決定される。この時、トランジスタ T16 のオン抵抗と、トランジスタ T15 から作られる定電流との関係から、VPP から作られる降圧電位 CMPVPP が決定する。メモリ素子が活性化状態にあり、OPMD が H レベルである時には、T18、および電圧変換回路 82 によって VPP と等電位に昇圧された OPMDVPP によって T17 がそれぞれオン状態となり、トランジスタ T15、T16 の電流バスに加えて

T19、T20 の電流バスが開くことで、反応の遅れを防止している。

【0102】差動増幅回路 79 は、入力として定電圧発生回路 77 の出力 M9 と、降圧回路 78 の出力 CMPVPP の 2 つの電位の大小比較を行う。VPP の変動が小さく、M9 と CMPVPP の両者において電位差が小さい場合に対応するために、M9 と CMPVPP を差動増幅器 83、84 にそれぞれ逆の極性をとるように入力し、得られた電位差の判定結果を差動増幅器 85 に入力することで、最終の比較結果 ENVPP を得ている。

【0103】差動増幅器 83、84、85 は、電流源として定電圧発生回路 77 で作られた電位 M10 を T22A、T22B、T22C のそれぞれのトランジスタから入力しているが、OPMD が H レベルにある時には、電流源として更に T21A、T21B、T21C から H レベルの信号 OPMD を直接に印加し、差動増幅器に流れる電流を上げることで応答速度を上げている。

【0104】次に、検知回路 16 で制御されるテストモードについて説明を行う。メモリ素子の通常動作では、メモリセルの破壊を防止するため昇圧電源電位は必要最低限の昇圧電位で動作するが、回路素子に高負荷をかけて不良デバイスを取り除く品質検査である加速試験においては、電源電圧を上げた状態で検査を行う。この時、加速性の促進のためにワードドライバ駆動電圧など昇圧電源を必要とするノードにも通常動作状態と比較して、高い電圧を印加する必要がある。

【0105】本発明で採用する検知回路 16 は、電源電圧依存性を持たない特性を有するため、加速試験に対応するために

(1) 昇圧電源回路の動作を止め、外部電源からの入力によりワードドライバを駆動するモード

(2) テストモードの設定により、昇圧電源回路の動作電圧を変更するモードとの両者に対応する動作モードを用意した。このうち (1) については、昇圧回路の項で述べたようにチャージポンプ回路の制御信号を止めることで昇圧動作が起こらないようにすることで実現している。

【0106】後者、すなわち (2) に対応する、昇圧電源の動作電圧を変更する検査モードとしては、差動増幅回路 79 の出力とテストモード設定用制御端子 BIVPPMD を論理積の否定 87 を通して出力を行う。

【0107】BIVPPMD が L レベルであるときには差動増幅回路 79 の出力によって ENVPP は変化するが、BIVPPMD が H レベルにあるときには論理積の否定 87 の出力は常時 H レベルとなることで、検知回路の出力 ENVPP は常時 H レベルとなり、その結果チャージポンプ回路が常時動作する。本発明で採用するチャージポンプ回路の昇圧能力は、昇圧回路の項で述べたように電源電圧の約 2 倍であるため、常時動作するモード設定を用意することで昇圧される電圧を変更することが

可能となる。

【0108】制御信号EVVPPがHレベルに設定されるテストモードでは、T23が非活性化され、T24が活性化され第2の比較手段としての差動増幅器86が活性化されることで参照電圧測定回路80が作動し、M9の電位が出力REFVPPTMにコピーされる。参照電圧測定回路80は、差動増幅器86の一方にM9の電位を、他方の入力に出力REFVPPTMに接続し、その比較結果によってPチャネルトランジスタT25の制御を行い、出力電圧を変化させることで電圧をフィードバックする構成をとっており、入力電位と出力電位が等電位となるところでつりあう。この構成により参照電位M9と同じ電位をREFVPPTMに出力することを実現している。

【0109】なお、本明細書においては、メモリ活性化信号の1周期の立ち上がり、立ち下がりエッジに2台のチャージポンプ回路を用いて昇圧タイミングを合わせたという例を挙げて説明を行ったが、理論上、メモリのサイクルタイムが更に短くなった時を考えると、例えばメモリの読み出し、書き込みサイクルの2倍の周期で立ち上がり、立ち下がりエッジを持つ制御信号を作る方が昇圧能力や動作速度マージンの点で望ましいという場合が考えられる。この時、上記の実施の形態と同じところに昇圧タイミングを持たせようとする、チャージポンプ回路が4基必要と考えられる。従って、本発明の請求要件としては、昇圧電源回路が備えるメインチャージポンプ回路の個数や、内部メモリ活性化信号を種信号として作る制御信号の周期に対して制限を設けるものではない。

【0110】

【発明の効果】以上のように本発明の半導体集積回路によると、

(1) 複数の昇圧回路を用いることで消費タイミングに同期した昇圧動作を実現でき、単独の昇圧回路を用いて昇圧電源回路を構成した場合と比較して昇圧電位VPPの変動を抑えることが可能となる。

(2) 昇圧回路として用いているチャージポンプ回路の能力限界は、 $2 \cdot VDD$ であり、電源電圧VDDの低電圧化に対しても充分マージンを持って動作が可能となる。さらに、チャージポンプ回路は3倍、4倍昇圧回路へと容易に構成展開を持たせることが可能であり、その制御信号は2倍昇圧回路の場合と全く同じものを用いることが可能である。

(3) 検知回路は電源電圧依存性を持たない、という特性を有していることで、電源電圧が高い場合において過昇圧防止回路を必要としない特徴を有する。

(4) 昇圧回路の動作時間を分散させることにより、チャージポンプ回路1基あたりの電荷転送時間に余裕が生じる。このため、回路全体の効率が向上するという特徴を有する。

(5) 分散昇圧による効果として、昇圧電源電位VPPの変動が小さくなるが、このため、単独の昇圧回路を用いる昇圧電源回路に比べ、平滑容量が小さく済むため、レイアウトサイズを小さくできるという利点がある。

【図面の簡単な説明】

【図1】本発明における昇圧電源回路のブロック図

【図2】本発明における昇圧電源回路の動作タイミングチャート図

【図3】タイミング制御回路の構成図

【図4】タイミング制御回路のタイミングチャート（通常動作時）図

【図5】タイミング制御回路のタイミングチャート（低速動作時）図

【図6】補助昇圧電源制御用の発振器の構成図

【図7】昇圧回路のタイミング発生回路の構成図

【図8】昇圧回路のチャージポンプ回路の構成図

【図9】昇圧回路の動作タイミングチャート図

【図10】チャージポンプ回路の拡張（出力が電源電圧の3倍の場合）例の構成図

【図11】検知回路の構成図

【図12】メモリセルアレイおよびセンスアンプ部の回路図

【図13】従来の昇圧電源回路の構成図

【図14】DRAM動作のタイミングチャート図

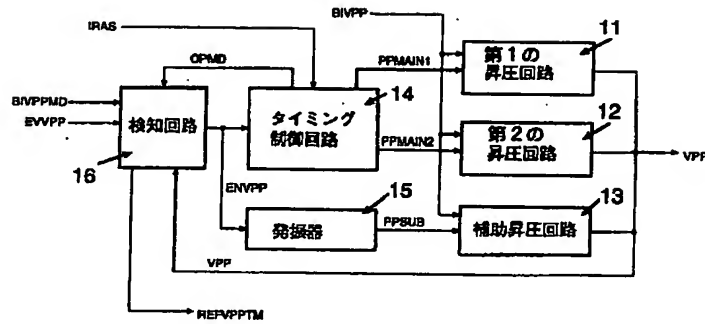
【符号の説明】

- 11 第1の昇圧回路
- 12 第2の昇圧回路
- 13 補助昇圧回路
- 14 タイミング制御回路
- 15 発振器
- 16 検知回路
- 17～26 遅延回路
- 27, 31 排他的論理和
- 28, 32 D型フリップフロップ
- 29, 33 マルチプレクサ
- 30, 34, 35 バッファ
- 36 リングオシレータ
- 37～39 Tフリップフロップ
- 40～42 遅延回路
- 45, 46 コンデンサ（第1の昇圧手段）
- 47, 48 コンデンサ（第2の昇圧手段）
- 49～52 Nチャネルトランジスタ
- 53, 54 レベルシフタ
- 77 定電圧発生回路
- 78 降圧回路
- 79 差動増幅回路（第1の比較手段）
- 80 参照電圧測定回路
- 81 スタートアップ回路
- 82 電圧変換回路
- 83～85 差動増幅器

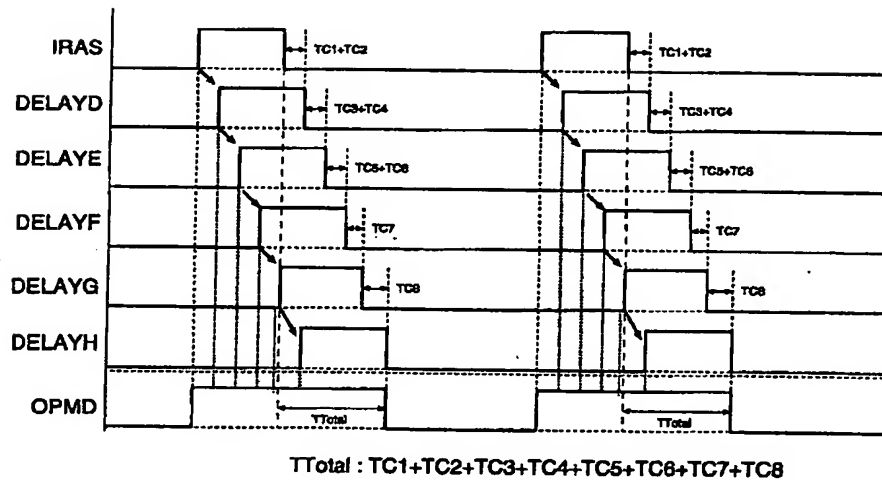
- 8 6 差動増幅器 (第 2 の比較手段)  
 1 1 1 メモリセルブロック  
 1 1 2 ビット線対  
 1 1 3 ワード線  
 1 1 4 ビット線プリチャージ回路  
 1 1 5 センスアンプ  
 1 1 6 シェアードゲート  
 1 1 7 昇圧回路

- 1 1 8 補助昇圧回路  
 1 1 9 タイミング制御回路  
 1 2 0 発振器  
 1 2 1 検知回路  
 1 2 2 過昇圧防止回路  
 I R A S メモリブロックの動作を制御する信号  
 P P M A I N 1, P P M A I N 2 昇圧回路の制御信号

【図 1】

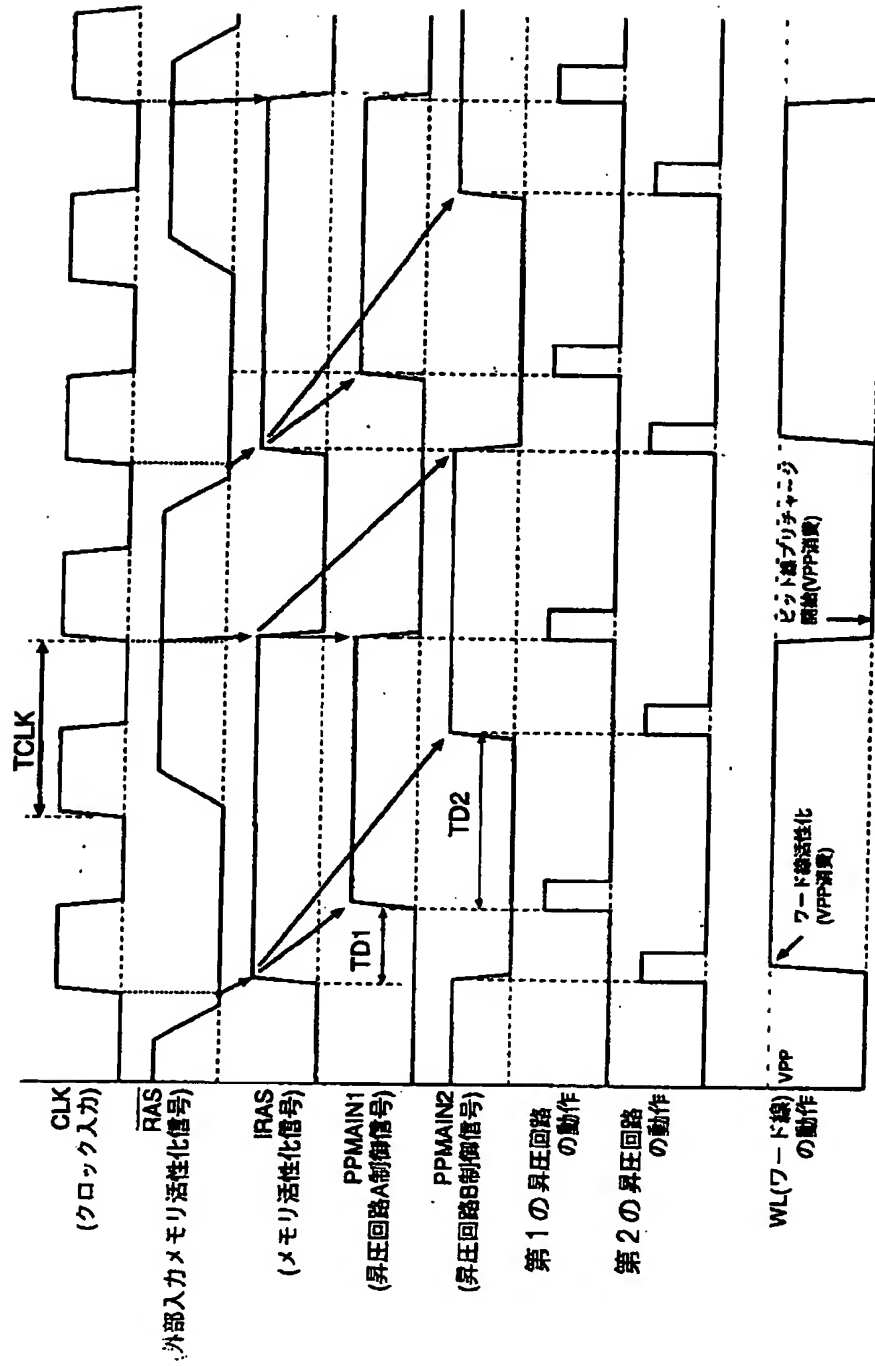


【図 5】

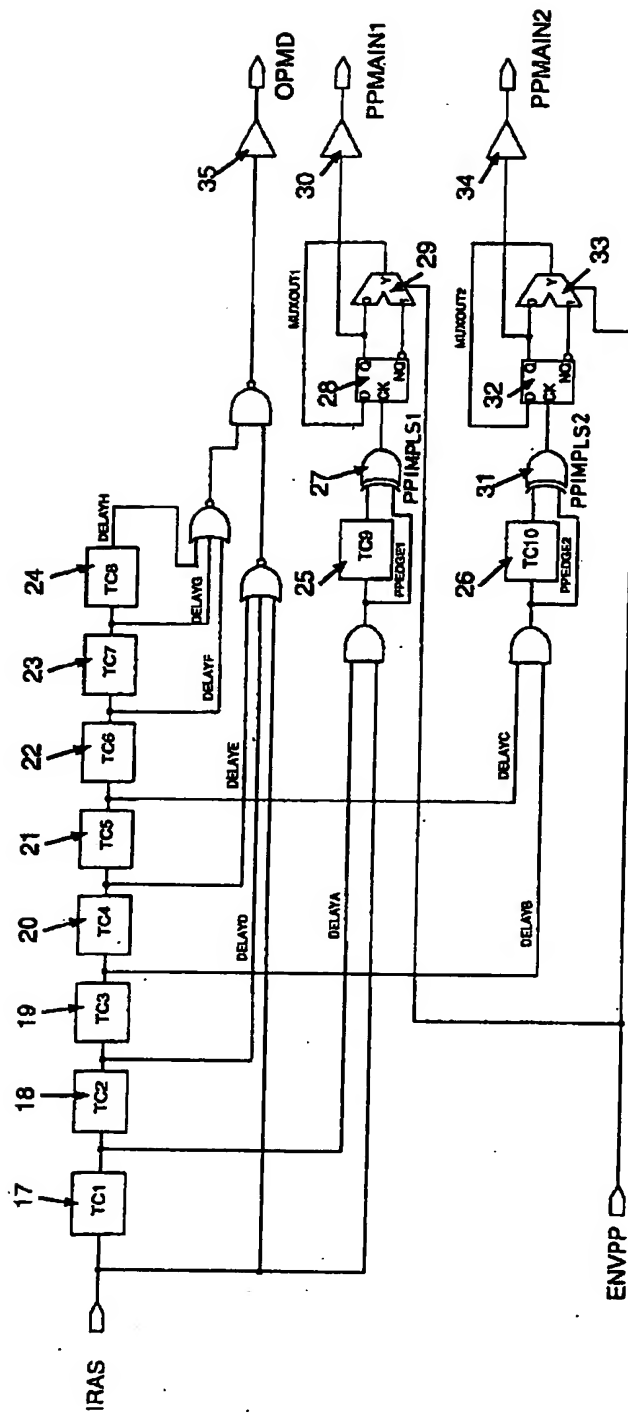




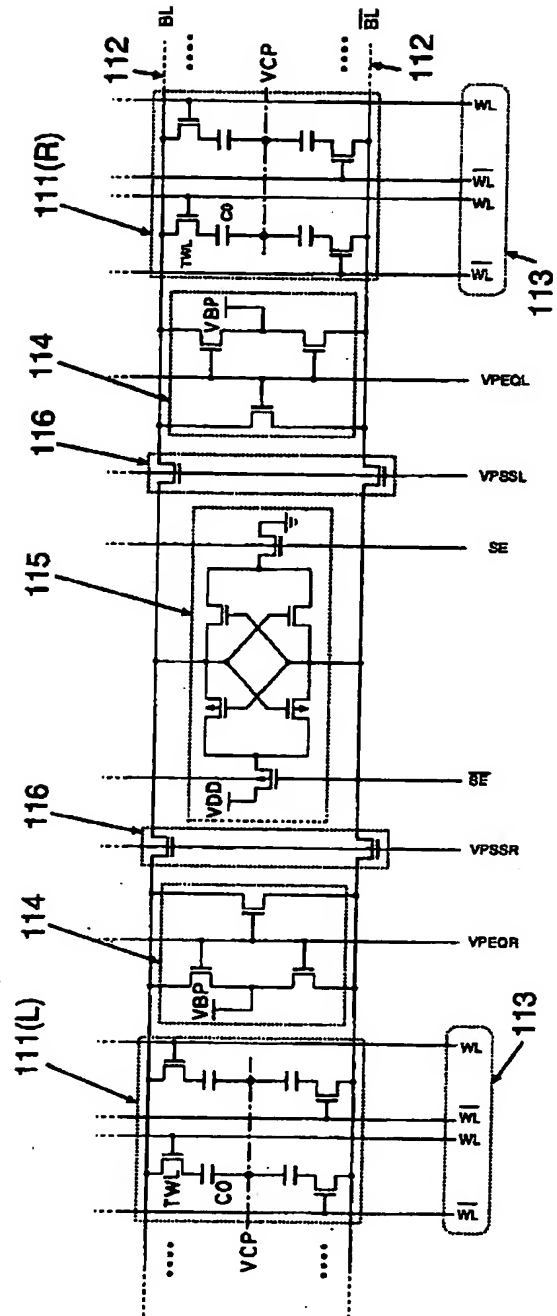
【図 2】



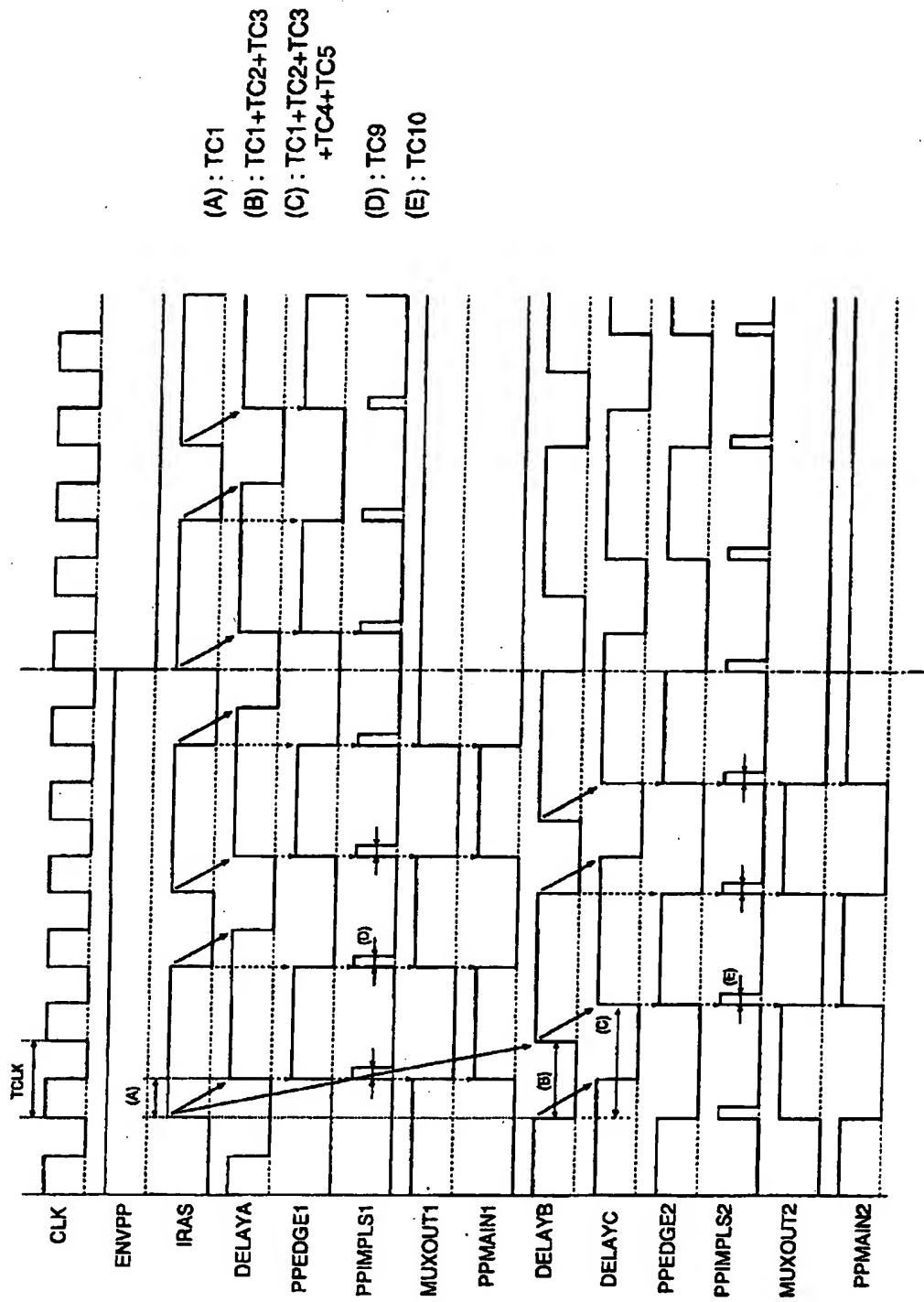
【図3】



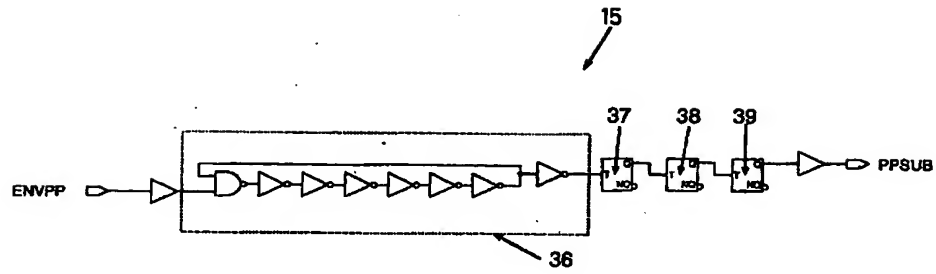
【図12】



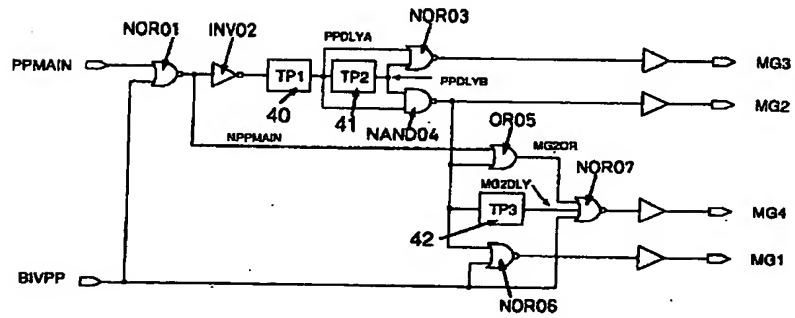
【図4】



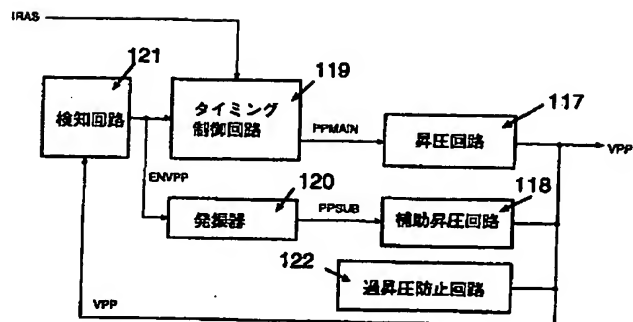
【図 6】



【図 7】

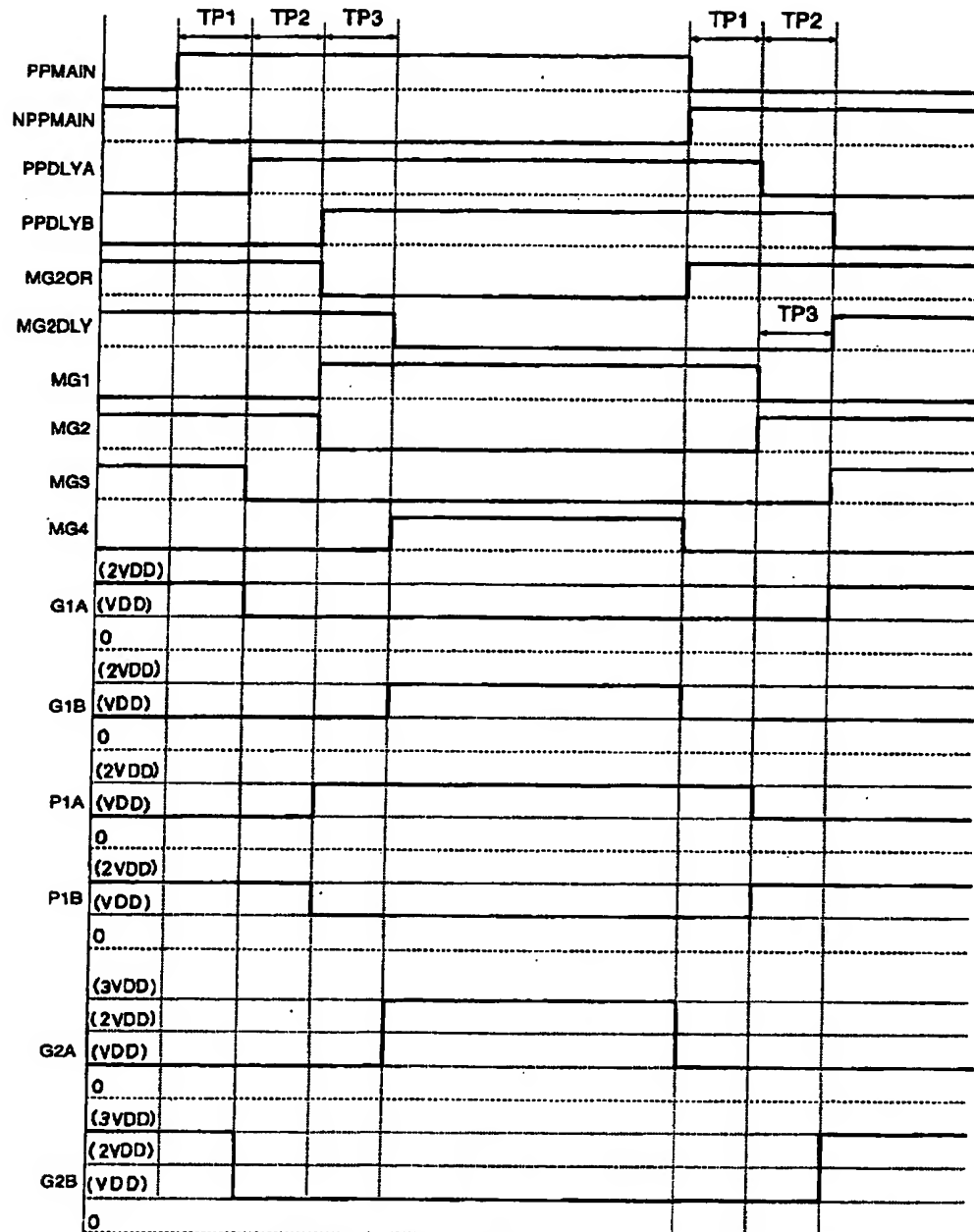


【図 13】





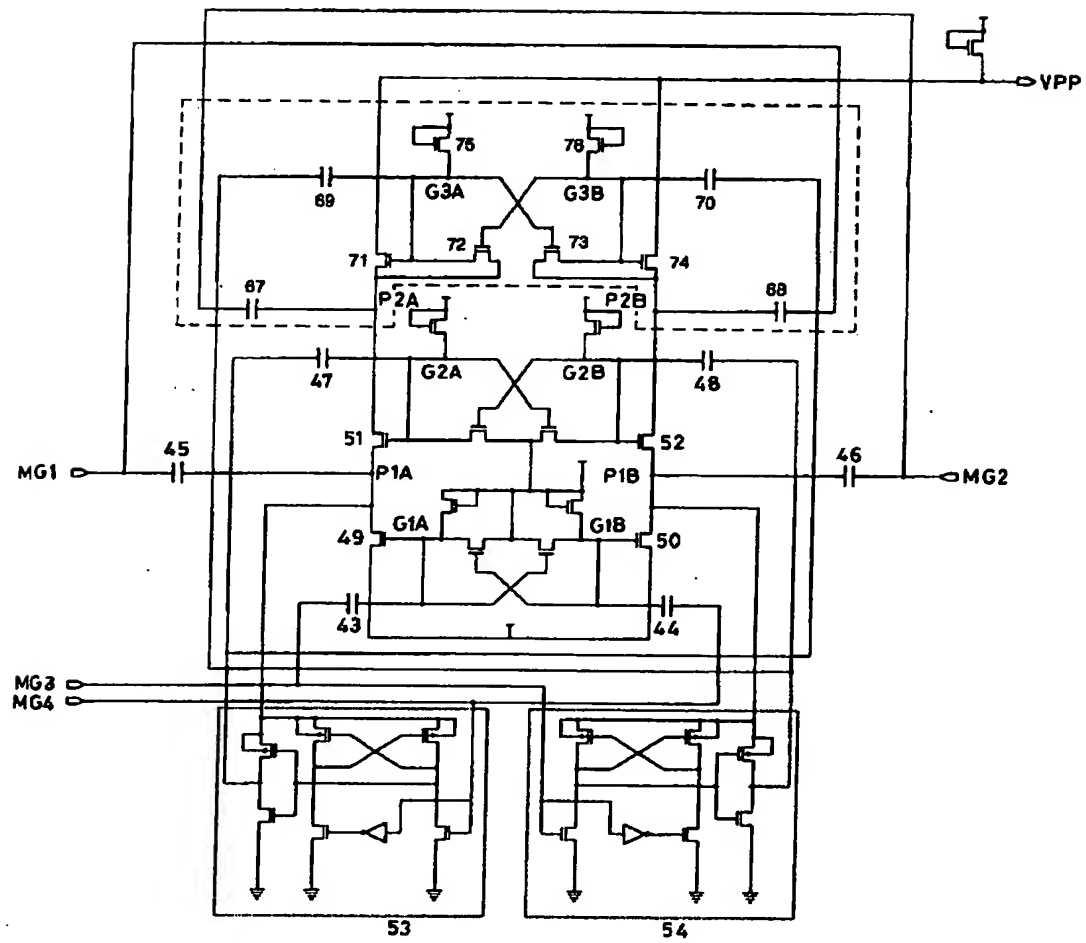
【図 9】



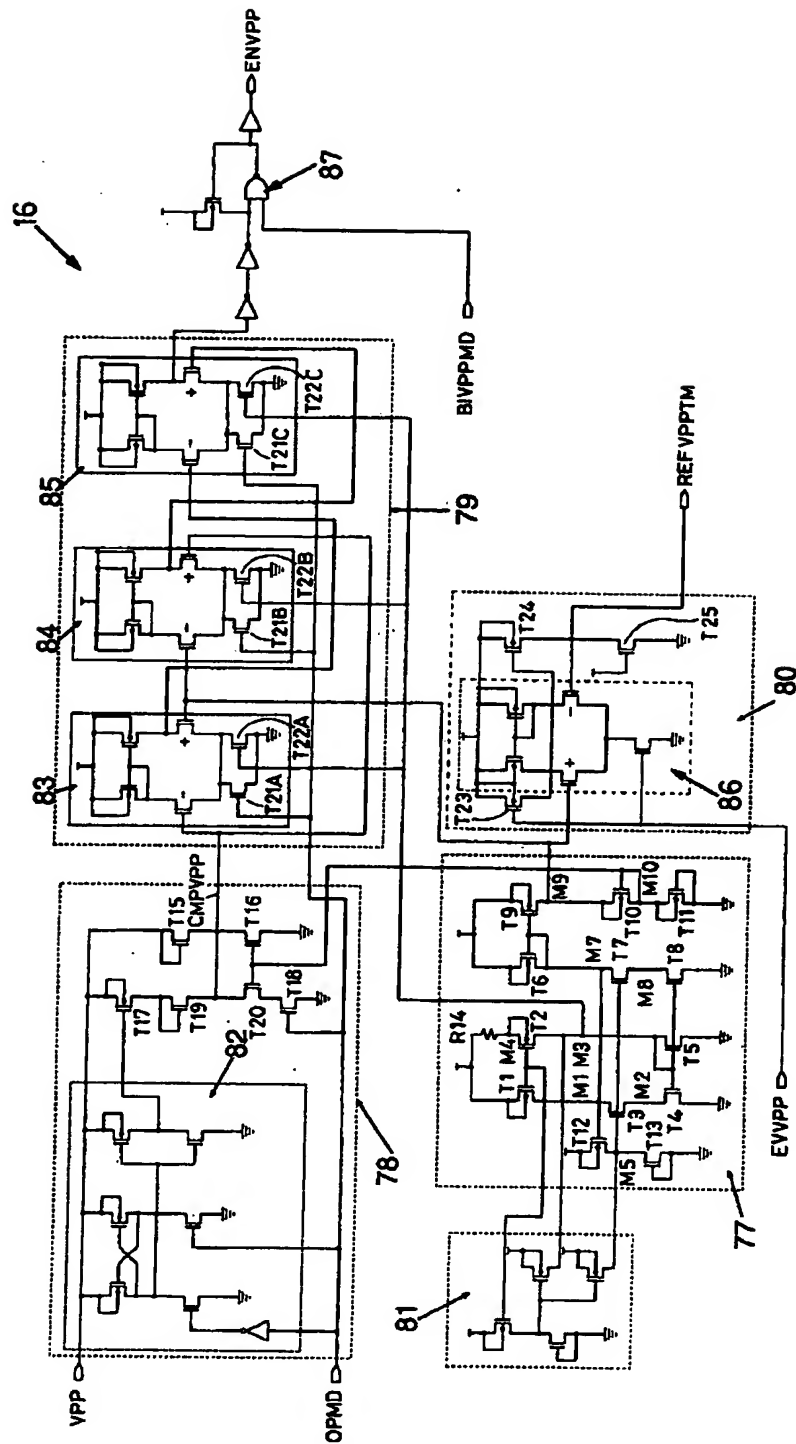
(BIVPP=L, 図中ではTP1=TP2=TP3を仮定)



【図 10】



【図 11】



フロントページの続き

(72) 発明者 藤本 知則

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 住本 善彦

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

F ターム (参考) 5B024 AA07 AA15 BA21 BA23 BA27  
5F038 BB04 BB08 BG03 BG05 BG06  
DF05 DF07 EZ20  
5L106 AA01 DD11 DD12 DD36 GG07